

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-321096

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

G01D 5/30

(21)Application number : 11-129320

(71)Applicant : MITSUTOYO CORP

(22)Date of filing : 10.05.1999

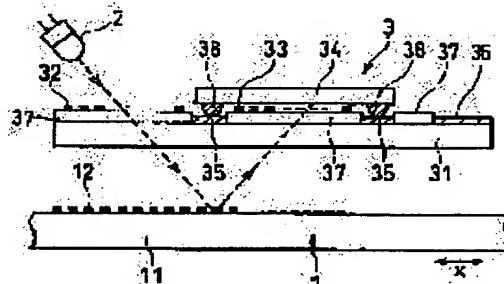
(72)Inventor : YAKU TORU
KUROKI HIROSHI

(54) PHOTOELECTRIC ENCODER AND MANUFACTURE OF ITS LIGHT RECEIVING MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a photoelectric encoder provided with a light receiving module in which a light-receiving-side index lattice is brought into close contact with a light receiving element and which can obtain a high light receiving sensitivity.

SOLUTION: This photoelectric encoder is provided with a reflection-type scale 1 in which a lattice 12 is formed. The photoelectric encoder is provided with a light source 2 which irradiates light at the scale. The photoelectric encoder is provided with a light receiving module 3 which receives reflected light from the scale 1. The light receiving module 3 is provided with a transparent substrate 31. The light receiving module 3 is provided with pad electrodes 35 and a signal interconnection 36 which are formed on the substrate. The light receiving module 3 is provided with a spin-on-glass(SOG) film 37 which is patterned and formed on the transparent substrate 31 in a state that required parts of the pad electrodes 35 and the signal interconnection 36 are exposed. The light receiving module 3 is provided with a light-source-side index lattice 32 and a light-receiving-side index lattice 33 which are formed on the film. The light receiving module 3 is provided with a light-receiving-element chip 34 which is mounted on the substrate 31 so as to be situated on the light-receiving-side index lattice 33 and whose bump electrodes 38 are connected to the pad electrodes 35.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-321096

(P 2 0 0 0 - 3 2 1 0 9 6 A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int. Cl. ⁷
G01D 5/30

識別記号

F I
G01D 5/30

ターマコード (参考)

V 2F103

審査請求 未請求 請求項の数4 O L (全7頁)

(21) 出願番号 特願平11-129320

(22) 出願日 平成11年5月10日 (1999. 5. 10)

(71) 出願人 000137694

株式会社ミットヨ

神奈川県川崎市高津区坂戸一丁目20番1号

(72) 発明者 夜久 亨

神奈川県川崎市高津区坂戸1丁目20番1号

株式会社ミットヨ内

(72) 発明者 黒木 博

神奈川県川崎市高津区坂戸1丁目20番1号

株式会社ミットヨ内

(74) 代理人 100092820

弁理士 伊丹 勝

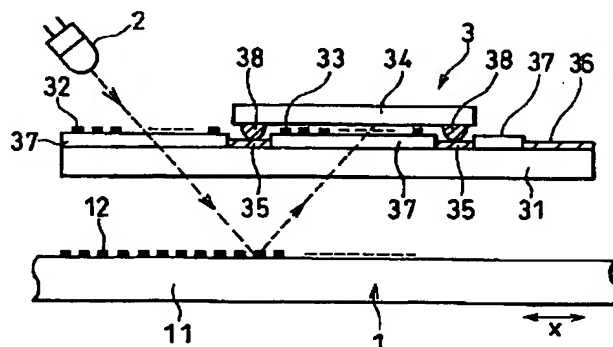
Fターム(参考) 2F103 BA37 CA01 CA03 CA05 DA12
EA17 EA19 EB04 EB06 EB12
EB32 EB37

(54) 【発明の名称】 光電式エンコーダ及びその受光モジュールの製造方法

(57) 【要約】

【課題】 受光側インデックス格子と受光素子を密接させて高い受光感度を得ることを可能とした受光モジュールを備えた光電式エンコーダを提供する。

【解決手段】 格子12が形成された反射型スケール1、これに光照射する光源2、スケール1からの反射光を受光する受光モジュール3を有し、受光モジュール3は、透明基板31と、これに形成されたパッド電極35及び信号配線36と、この透明基板31にパッド電極35及び信号配線36の必要部分を露出させた状態にパターン形成された所定厚みのSOG膜37と、この上に形成された光源側インデックス格子32及び受光側インデックス格子33と、受光側インデックス格子33上に位置するように基板31に搭載され、パッド電極38がパッド電極35に接続された受光素子チップ34とを有する。



【特許請求の範囲】

【請求項 1】 スケール格子が形成された反射型スケールと、この反射型スケールに光を照射するための光源と、この光源からの光を変調して前記反射型スケールを照射すると共に、前記反射型スケールからの反射光を変調して取り出して受光する受光モジュールとを有し、前記受光モジュールは、透明基板と、この透明基板に形成されたパッド電極及びこのパッド電極を外部に接続するための信号配線と、前記パッド電極及び信号配線が形成された透明基板に前記パッド電極及び信号配線の必要部分を露出させた状態にパターン形成された所定厚みの透明膜と、この透明膜上に形成された、前記光源から前記反射型スケールに照射される光を変調するための光源側インデックス格子及び前記反射型スケールからの反射光を変調するための受光側インデックス格子と、前記受光側インデックス格子の上に位置するように前記透明基板に搭載され、パンプ電極が前記パッド電極に接続された受光素子チップとを有することを特徴とする光電式エンコーダ。

【請求項 2】 スケール格子が形成された反射型スケールと、この反射型スケールに光を照射するための光源と、この光源からの光を変調して前記反射型スケールを照射すると共に、前記反射型スケールからの反射光を変調して取り出して受光する受光モジュールとを有し、前記受光モジュールは、表面が所定の凹凸パターンにエッチング加工された透明基板と、この透明基板の凹部に形成されたパッド電極、及びこのパッド電極を外部に接続するための信号配線と、前記透明基板の凸部に前記パッド電極及び信号配線と同じ材料膜により形成された、前記光源から前記反射型スケールに照射される光を変調するための光源側インデックス格子及び前記反射型スケールからの反射光を変調するための受光側インデックス格子と、前記受光側インデックス格子の上に位置するように前記透明基板に搭載され、パンプ電極が前記パッド電極に接続された受光素子チップとを有することを特徴とする光電式エンコーダ。

【請求項 3】 反射型スケールからの反射光を受光するための、光電式エンコーダの受光モジュールの製造方法であって、透明基板にパッド電極及びこのパッド電極を外部に接続するための信号配線を形成する工程と、前記パッド電極及び信号配線が形成された透明基板に前記パッド電極及び信号配線の必要部分を露出させた状態に透明膜をパターン形成する工程と、前記透明膜上に、光源から前記反射型スケールに照射される光を変調するための光源側インデックス格子及び前

記反射型スケールからの反射光を変調するための受光側インデックス格子を形成する工程と、パンプ電極を有する受光素子チップを、前記透明基板の前記受光側インデックス格子の上に位置し、且つ前記パンプ電極が前記パッド電極に接続されるように前記透明基板上にボンディングする工程とを有することを特徴とする光電式エンコーダの受光モジュールの製造方法。

【請求項 4】 反射型スケールからの反射光を受光するための、光電式エンコーダの受光モジュールの製造方法であって、

透明基板の表面に所定の凹凸パターンをエッチング加工する工程と、

前記透明基板の凹部にパッド電極及びこのパッド電極を外部に接続するための信号配線を形成すると同時に、凸部に前記パッド電極及び信号配線と同じ材料膜により光源から前記反射型スケールに照射される光を変調するための光源側インデックス格子及び前記反射型スケールからの反射光を変調するための受光側インデックス格子を形成する工程と、

パンプ電極を有する受光素子チップを、前記透明基板の前記受光側インデックス格子の上に位置し、且つ前記パンプ電極が前記パッド電極に接続されるように前記透明基板上にボンディングする工程とを有することを特徴とする光電式エンコーダの受光モジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、光電式エンコーダに係り、特にインデックス格子と受光 IC を一体化してなる受光モジュールの改良に関する。

【0002】

【従来の技術】 3 格子システムの光電式エンコーダは、スケール格子の他に光源側インデックス格子と受光側インデックス格子を有する。光源からの光は、光源側インデックス格子により変調されてスケール格子に照射される。スケール格子からの光は受光側インデックス格子により変調されて受光素子に入射される。反射型の光電式エンコーダの場合、光源側インデックス格子と受光側インデックス格子は、スケールに対して同じ側に配置される。従って、光源側インデックス格子と受光側インデックス格子を同じ透明基板に形成し、更にこの透明基板の受光側インデックス格子の上に位置するように受光用 IC を搭載して受光モジュールとして薄型に一体化することができる。受光用 IC は例えば、パンプ電極を持つ受光素子チップの状態でフリップチップ方式（フェイスダウンボンディング方式）により基板に搭載される。

【0003】

【発明が解決しようとする課題】 スケール格子と受光側インデックスにより形成される明暗像を高感度に検出するためには、受光素子の受光面はできる限り受光側インデックス格子に密着させることが望ましい。しかし上述

した受光モジュールを用いる光電式エンコーダでは、受光側インデックス格子の格子面と受光素子チップの受光面との間の距離は、受光素子チップのバンプ電極の高さでほぼ決まり、約30 μ m程度にも達する。従って受光側インデックス格子により得られる透過像を高感度に検出することが難しく、高S/N比の変位信号を得ることが難しいという問題があった。

【0004】この発明は、上記事情を考慮してなされたもので、受光側インデックス格子と受光ICを密接させて高い受光感度を得ることを可能とした受光モジュールを備えた光電式エンコーダ及びその受光モジュールの製造方法を提供することを目的としている。

【0005】

【課題を解決するための手段】この発明に係る光電式エンコーダは、第1に、スケール格子が形成された反射型スケールと、この反射型スケールに光を照射するための光源と、この光源からの光を変調して前記反射型スケールを照射すると共に、前記反射型スケールからの反射光を変調して取り出して受光する受光モジュールとを有し、前記受光モジュールは、透明基板と、この透明基板に形成されたパッド電極及びこのパッド電極を外部に接続するための信号配線と、前記パッド電極及び信号配線が形成された透明基板に前記パッド電極及び信号配線の必要部分を露出させた状態にパターン形成された所定厚みの透明膜と、この透明膜上に形成された、前記光源から前記反射型スケールに照射される光を変調するための光源側インデックス格子及び前記反射型スケールからの反射光を変調するための受光側インデックス格子と、前記受光側インデックス格子上に位置するように前記透明基板に搭載され、バンプ電極が前記パッド電極に接続された受光素子チップとを有することを特徴とする。

【0006】この発明に係る光電式エンコーダは、第2に、スケール格子が形成された反射型スケールと、この反射型スケールに光を照射するための光源と、この光源からの光を変調して前記反射型スケールを照射すると共に、前記反射型スケールからの反射光を変調して取り出して受光する受光モジュールとを有し、前記受光モジュールは、表面が所定の凹凸パターンにエッチング加工された透明基板と、この透明基板の凹部に形成されたパッド電極、及びこのパッド電極を外部に接続するための信号配線と、前記透明基板の凸部に前記パッド電極及び信号配線と同じ材料膜により形成された、前記光源から前記反射型スケールに照射される光を変調するための光源側インデックス格子及び前記反射型スケールからの反射光を変調するための受光側インデックス格子と、前記受光側インデックス格子上に位置するように前記透明基板に搭載され、バンプ電極が前記パッド電極に接続された受光素子チップとを有することを特徴とする。

【0007】第1の発明においては、受光モジュール基板である透明基板の受光側インデックス格子が形成され

る位置に厚み調整用の透明膜を形成している。従って受光側インデックス格子の格子面とこれを覆うように搭載される受光ICの受光面との距離は、この透明膜の厚みにより決定することができ、受光側インデックス格子と受光ICを密接させて高い受光感度を得ることが可能となる。

【0008】第2の発明においては、受光モジュール基板である透明基板は、予め表面に凹凸パターン形成される。そして、受光側インデックス格子はこの透明基板の凸部にパターン形成され、受光素子チップのバンプ電極を接続するためのパッド電極は凹部に形成されるようにしている。これにより、受光側インデックス格子の格子面とこれを覆うように搭載される受光素子の受光面との距離は、凹凸の段差により決定することができ、受光側インデックス格子と受光素子を密接させて高い受光感度を得ることが可能となる。

【0009】この発明はまた、反射型スケールからの反射光を受光するための、光電式エンコーダの受光モジュールの製造方法であって、透明基板にパッド電極及びこのパッド電極を外部に接続するための信号配線を形成する工程と、前記パッド電極及び信号配線が形成された透明基板に前記パッド電極及び信号配線の必要部分を露出させた状態に透明膜をパターン形成する工程と、前記透明膜上に、光源から前記反射型スケールに照射される光を変調するための光源側インデックス格子及び前記反射型スケールからの反射光を変調するための受光側インデックス格子を形成する工程と、バンプ電極を有する受光素子チップを、前記透明基板の前記受光側インデックス格子上に位置し、且つ前記バンプ電極が前記パッド電極に接続されるように前記透明基板上にボンディングする工程とを有することを特徴とする。

【0010】この発明は更に、反射型スケールからの反射光を受光するための、光電式エンコーダの受光モジュールの製造方法であって、透明基板の表面に所定の凹凸パターンをエッチング加工する工程と、前記透明基板の凹部にパッド電極及びこのパッド電極を外部に接続するための信号配線を形成すると同時に、凸部に前記パッド電極及び信号配線と同じ材料膜により光源から前記反射型スケールに照射される光を変調するための光源側インデックス格子及び前記反射型スケールからの反射光を変調するための受光側インデックス格子を形成する工程と、バンプ電極を有する受光素子チップを、前記透明基板の前記受光側インデックス格子上に位置し、且つ前記バンプ電極が前記パッド電極に接続されるように前記透明基板上にボンディングする工程とを有することを特徴とする。

【0011】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

〔実施の形態1〕図1は実施の形態1による反射型の光

電式エンコーダの構成を示す。この実施の形態の光電式エンコーダは、反射型スケール1と、この反射型スケール1に光を照射するための光源2と、この光源2からの光を変調してスケール1を照射すると共に、スケール1からの反射光を変調して取り出して受光する受光モジュール3とを有する。

【0012】反射型スケール1は、スケール基板11に所定ピッチのスケール格子12を形成したものである。受光モジュール3は、スケール1に対して所定のギャップをもって対向配置されて、光源3と共にスケール1に対して図の矢印x方向に相対移動可能とされる。そして受光モジュール3は上述の相対移動に伴い、少なくとも2相(A, B相)の正弦波状の変位信号(好ましくはA, AB, B, BBの4相の正弦波状信号)を出力する。

【0013】受光モジュール3は、図2に分解斜視図を示したように、透明基板31に、光遮蔽膜により光源側インデックス格子32と受光側インデックス格子33が形成され、受光素子チップ34が搭載されて構成されている。より具体的に説明すれば、透明基板31にはまず、受光素子チップ34のバンプ電極38を圧着接続するためのパッド電極35及びこのパッド電極35を外周に取り出すための信号配線36が形成される。更にこの透明基板31に透明膜37が形成される。この透明膜37は、SiO₂等の透明絶縁膜であればよいが、必要な厚みがバンプ電極の高さ分(約30μm)であるため、スパッタ等の薄膜工程では成膜に時間がかかる。そこでこの透明膜37としてこの実施の形態では、スピノングラス(Spin On Glass)法による塗布型絶縁膜(以下、SOG膜という)を用いる。SOG膜37は、パッド電極35及び信号配線36の必要な部分を露出させるようにパターンニングされる。

【0014】SOG膜37上には、光源側インデックス格子32と受光側インデックス格子33とが光遮蔽膜をパターン形成して作られる。そしてこの透明基板31の受光側インデックス格子33上に位置するように、受光素子チップ34がいわゆるフリップチップ方式により搭載される。即ち、受光素子チップ34のバンプ電極38が対応するパッド電極35に圧着接続される。受光側インデックス格子33の格子面と受光素子チップ34の受光面との間の距離は、SOG膜37がない場合に比べて、SOG膜37の膜厚分狭くなる。即ち、SOG膜37の膜厚を選ぶことにより、受光側インデックス格子33と受光素子チップ34とを密接状態に配置することができる。

【0015】受光側インデックス格子33は、4相変位信号を出力する場合には、図2に示すように、それぞれA, B, AB, BB相に対応する4つの格子部33a~33dから構成される。そして、受光素子チップ34には、図3に示すように、受光側インデックス格子33の

各格子部33a~33dに対応して受光素子PD1~PD4が集積形成される。

【0016】この実施の形態の光電式エンコーダは具体的には、幾何光学式である。このとき光源2としては、拡散光源であるLEDが用いられる。光源側インデックス格子32は、スケール格子12と同じ格子ピッチとする。LEDにより照射されると、光源側インデックス格子32はこれを変調して透過する。具体的には光源側インデックス格子32の各格子窓が二次光源となって、これによりスケール格子11が照射される。そして、スケール移動に伴って変動する明暗パターンの反射像がスケール1から得られる。

【0017】受光側インデックス格子33の各格子部33a~33dは、格子ピッチはスケール格子12と同じであり、互いに90°ずつ位相がずれている。これにより各格子部33a~33dはスケール1からの反射像をそれぞれ異なる位相で変調して透過する。受光素子チップ34では、これらの各格子部33a~33dの透過光を、図3に示すように受光素子PD1~PD4で受光することにより、4相の正弦波状変位信号が得られることになる。

【0018】次に、図4(a)~(e)を参照して、この実施の形態による受光モジュール3の具体的な製造工程を説明する。透明基板31は、低アルカリガラス(好ましくは、無アルカリガラス)基板、石英基板、ソーダガラス(青板)等である。この透明基板31にまず、図4(a)に示すように、チタンシリサイド(TiSi₂)膜301をスパッタにより堆積し、続いて金(Au)膜302をスパッタ法で堆積する。TiSi₂膜301は、電極配線材料膜であるAu膜302の基板31との密着性を良好にするための下地膜である。

【0019】この後、リソグラフィを行い、図4(b)に示すように、Au膜302、TiSi₂膜301を順次選択エッチングして、パッド電極35及び信号配線36を形成する。Au膜302のエッチングにはウェットエッチング法を用い、TiSi₂膜301のエッチングには、RIE法を用いる。

【0020】続いて、SOG膜37をスピノータにより成膜し、これを図4(c)に示すように、少なくとも光源側インデックス格子形成領域、受光側インデックス格子形成領域に残すようにパターンニングする。受光素子チップ34のバンプ電極38が接続されるパッド電極35の領域には開口を開ける。

【0021】その後、図4(d)に示すように、クロム(Cr)膜303をスパッタ又は蒸着により形成する。そして、リソグラフィを行い、Cr膜303をウェットエッチングにより選択エッチングして、光源側インデックス格子32及び受光側インデックス格子33をパターン形成する。最後に、図1に示すように、受光素子チップ34をフリップチップ実装して完成する。

【0022】この実施の形態の製造方法によると、受光素子チップ34の受光面とインデックス格子33の格子面の間のギャップは、SOG膜37により調整される。受光素子チップ34を平坦面にフリップチップ実装したとき、受光素子チップとインデックス格子33の間のギャップは、20～40 μ mにもなるが、スピコート法によるSOG膜37を用いると、簡単にこの程度のギャップを埋めることができる。

【0023】〔実施の形態2〕図5(a)～(e)は、別の実施の形態による受光モジュール製造工程を示す。先の実施の形態と対応する部分には先の実施の形態と同一符号を付してある。この実施の形態ではまず、図5(a)に示すように、透明基板31の表面をフッ酸系エッチャントにより選択エッチングして凹凸パターンを形成している。凸部51は、インデックス格子を形成する領域であり、凹部52は、受光ICを接続するためのパッド電極及び配線の領域である。この凹凸の段差は、後に搭載される受光ICの受光面が受光側インデックス格子の面に密接するように、受光素子のバンプ電極の高さを考慮して決定される。

【0024】この後、図5(b)に示すように、 $TiSi_2$ 膜301をスパッタにより形成し、更に配線材料及び格子材料としてAu膜302をスパッタにより形成する。その後、Au膜302と $TiSi_2$ 膜301の積層膜をパターン形成して、図5(c)に示すように、凸部51上に光源側インデックス格子32と受光側インデックス格子33を形成し、凹部52にはパッド電極35及びこれにつながる信号配線36を形成する。

【0025】なお、基板表面には大きな凹凸があるため、Au膜302のパターニングには、リソグラフィ工程で2回の露光を行う。即ち、Au膜302上にレジストを塗布して、凸部51上のパターンの露光と、凹部52でのパターン露光を別々に、それぞれ最適露光条件に設定して行い、レジストをパターニングする。これにより、凸部51と凹部52で所望寸法のパターン形成ができる。

【0026】次に、図5(d)に示すように、SOG膜37を塗布し、これをパターン形成する。但しこの場合、SOG膜37は、パッド電極35その他必要な部分を露出させる他、金属パターンを保護する保護膜としての機能を持つもので、先の実施の形態におけるインデックス格子と後に搭載される受光素子チップの間の距離を調整するという機能はない。最後に、図5(e)に示すように、受光側インデックス格子33上に受光素子チップ34をボンディング接続する。受光素子チップ34のバンプ電極38は、基板凹部52に形成されたパッド電極35に接続される。

【0027】以上のようにこの実施の形態によると、透明基板31に予め形成する凹凸の段差を最適設定することにより、受光側インデックス格子33と受光素子チップ34とを密接状態に配置することができる。またこの実施の形態の場合、パッド電極及び信号配線の材料をインデックス格子材料として用いており、従って製造工程が簡単である。なおこの実施の形態の場合、SOG膜37は必ずしも必要ではなく、省くことができる。或いは他の材料による保護膜を形成することもできる。

10 【0028】〔実施の形態3〕この発明は、モアレ型の光電式エンコーダにも適用することができる。その実施の形態でのスケール1と、受光側インデックス格子33、及び受光IC34の関係を図6に示す。即ち受光側インデックス格子33は、スケール格子12に対して、僅かに傾斜してパターン形成され、これらの互いに傾斜した格子パターンの重なりにより、モアレ干渉を生じさせる。受光素子チップ34には、形成されるモアレ干渉縞を検出するように、受光素子PDが配置される。この様なモアレ方式の場合にも、先の実施の形態1、2と同様の構造、製法で受光モジュールを形成することにより、高感度特性を得ることができる。

【0029】

【発明の効果】以上述べたようにこの発明によれば、SOG膜等による厚み調整、或いは基板表面の凹凸加工による厚み調整により、受光側インデックス格子と受光ICを密接させて高い受光感度を得ることを可能とした受光モジュールを得ることができる。

【図面の簡単な説明】

30 【図1】 この発明の実施の形態による光電式エンコーダを示す図である。

【図2】 同実施の形態による受光モジュールの分解斜視図である。

【図3】 同実施の形態における受光素子とインデックス格子の関係を示す図である。

【図4】 同実施の形態による受光モジュールの製造工程を示す図である。

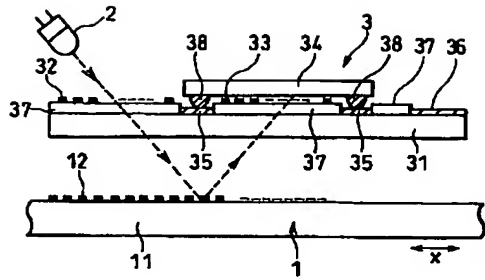
【図5】 この発明の別の実施の形態による受光モジュールの製造工程を示す図である。

40 【図6】 この発明の別の実施の形態による要部構成を示す図である。

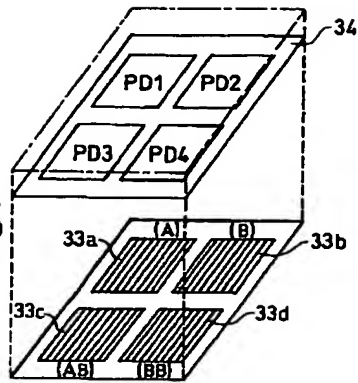
【符号の説明】

1…反射型スケール、12…スケール格子、2…光源、3…受光モジュール、31…透明基板、32…光源側インデックス格子、33…受光側インデックス格子、34…受光素子チップ、35…パッド電極、36…信号配線、37…SOG膜、38…バンプ電極、51…凸部、52…凹部。

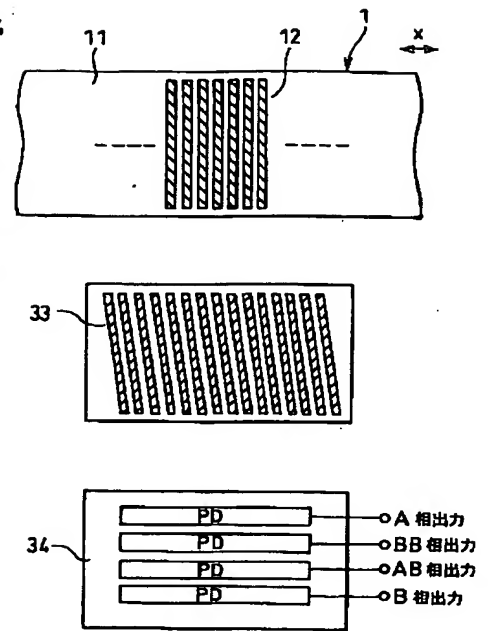
【図 1】



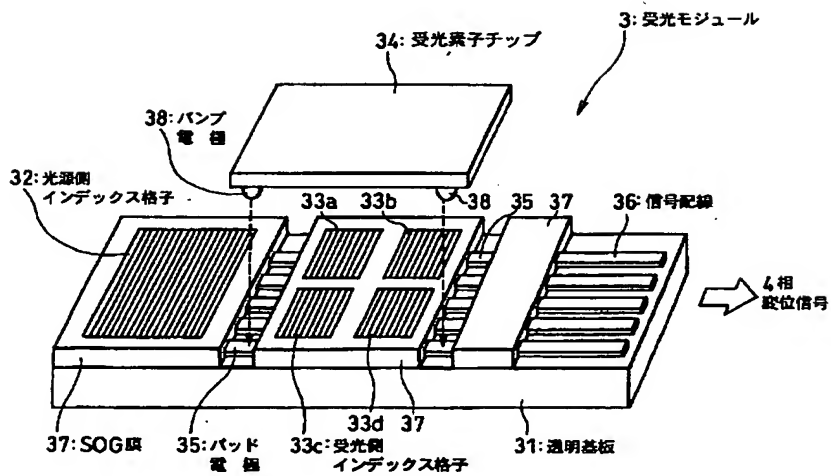
【図 3】



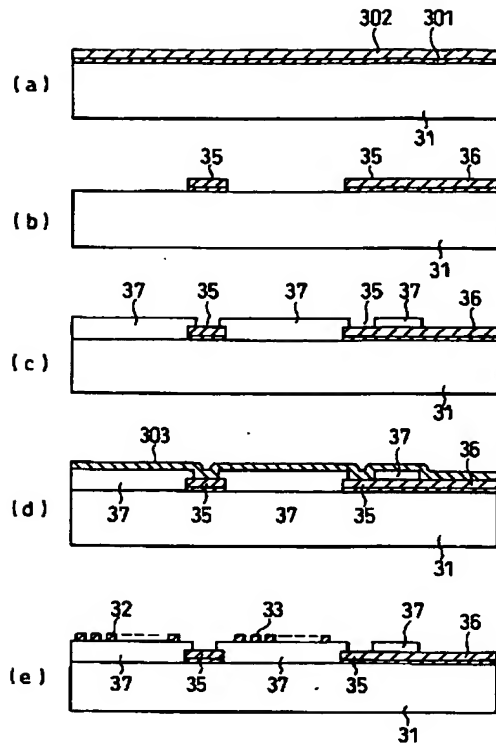
【図 6】



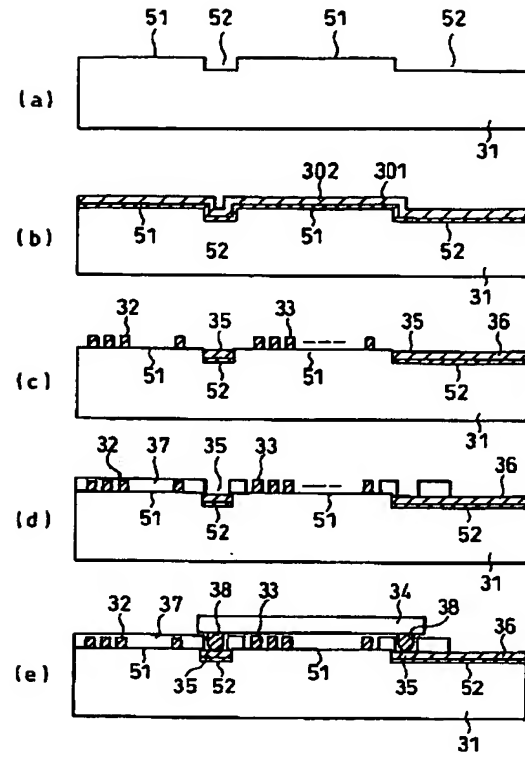
【図 2】



【図 4】



【図 5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.